Horizontal Pixel Counter

U1101 74LS867 — U1102 74LS867 — U1103 74F164 — U1104 74F164 — U1105A 74F139

hor_pix_count = 944 = 64us unreg

Beim Reset wird der Zähler mit "0" geladen

S1 S0
L L clear (asynchr.)
L H count down
H L load
H H count up

clk => Q 16ns max.

A => Y 10,5ns max.

A => Y 9ns max.

A => Y 7ns max.

Horizontal Pixel Count Decoder

U1106A–U1107C 74F27 — U1108A–U1108B 74F22

pix_clk => D 10,5ns max.

U1109 74F574 — pix_clk => Q 10ns max.

hor_pix_count = 944 = 64us
hor_pix_count = 944 + 5,3us = 949,3 = 64us + 5,3us
hor_pix_count = 944 + 10,6us = 954,6 = 64us + 10,6us
hor_pix_count = 944 + 21,2us = 965,2 = 64us + 21,2us
hor_pix_count = 944 + 42,4us = 986,4 = 64us + 42,4us
hor_pix_count = 87 = 5,9us
hor_pix_count = 177 = 12us

hor_pix_count = 944 = 64us unreg

Statemachine CSYNC

Default := P0

623 := P1

624,625, 4,5, 311,312, 316,317 := P2

1,2, 314, 315 := P3

3 := P4

313 := P5

U1222A 74F32 — U1222B 74F32 — U1223C 74F32 — U1223D 74F32 — U1223E 74F32 — U1217F 74F04

P2=P4

P2=P5

P3=P5

P1=P2

P2=P3

P3=P4

P4=P5

P5=P0

hor_pix_count = 35 = 2,35us
hor_pix_count = 93 = 6,2us
hor_pix_count = 187 = 12,45us
hor_pix_count = 317 = 21,12us
hor_pix_count = 381 = 25,4us
hor_pix_count = 944 = 64us

U1301A–U1302C 74F00 — U1306 74F30

A => Y 6ns max.

A => Y 5,5ns max.

A => Y 7ns max.

U1303 74F161 — U1304A 74F74 — CSYNC

tsu 3ns max.

S => Y 10,5ns max.

Video Line Counter

U1201 74LS867 — U1202 74LS867 — U1203 74F164 — U1204 74F164 — U1205B 74F139

video_line_Count=625_unreg

new_video_line

Beim Reset wird der Zähler mit "1" geladen

S1 S0
L L clear (asynchr.)
L H count down
H L load
H H count up

clk => Q 16ns max.

A => Y 10,5ns max.

A => Y 9ns max.

A => Y 7ns max.

Video Line Count Decoder

U1206A–U1207C 74F27 — U1208A–U1208B 74F22

video_line_count=625_unreg

U1213A 74F32 — U1213B 74F27

A => Y 6,6ns max.

Bildung von Timing-Steuersignalen

Statemachine active_pixel

U1305 74F161 — U1304B 74F74 — active_pixel

hor_pix_count = 944 = 64us unreg
hor_pix_count = 1 = 5,3us unreg

tsu 3ns max.

S => Y 10,5ns max.

U1113C 74F08 — active_video

Statemachine active_Video_Line

U1401 74F161 — U1402A 74F74 — active_line

tsu 3ns max.

Von pix_clk bis Q 50,6ns max
tsu = 3ns =>
53,6ns
Per = 67,8ns
Reserve 14,2ns

S => Y 10,5ns max.

Statemachine Field (kann ggf. entfallen)

U1403 74F161 — U1403B 74F74 — field

tsu 3ns max.

S => Y 10,5ns max.

new_field (1 pix_clk lang) soll text line pointer neue read rewerten

Statemachine Transfer

U1404 74F161 — U1405A 74F74 — CPU Transfer vom FIFO zum Char-Speicher frei transfer_en

tsu 3ns max.

S => Y 10,5ns max.

U1221 74F574 — mux

pix_clk => Q 10ns max.

U1218 74F30 — U1219A 74F00 — U1220 74F30

A => Y 5,5ns max.

A => Y 6ns max.

A => Y 6ns max.

A => Y 7,5ns max.

Signale zu/von Text- und Zeichensatzspeicher

hor_pix_count_0
hor_pix_count = 63 = 4,7us
hor_pix_count = 944 = 64us
active_pixel
active_line
active_video
CSYNC
new_field

Signale zu FIFO-Steuerung

transfer_en

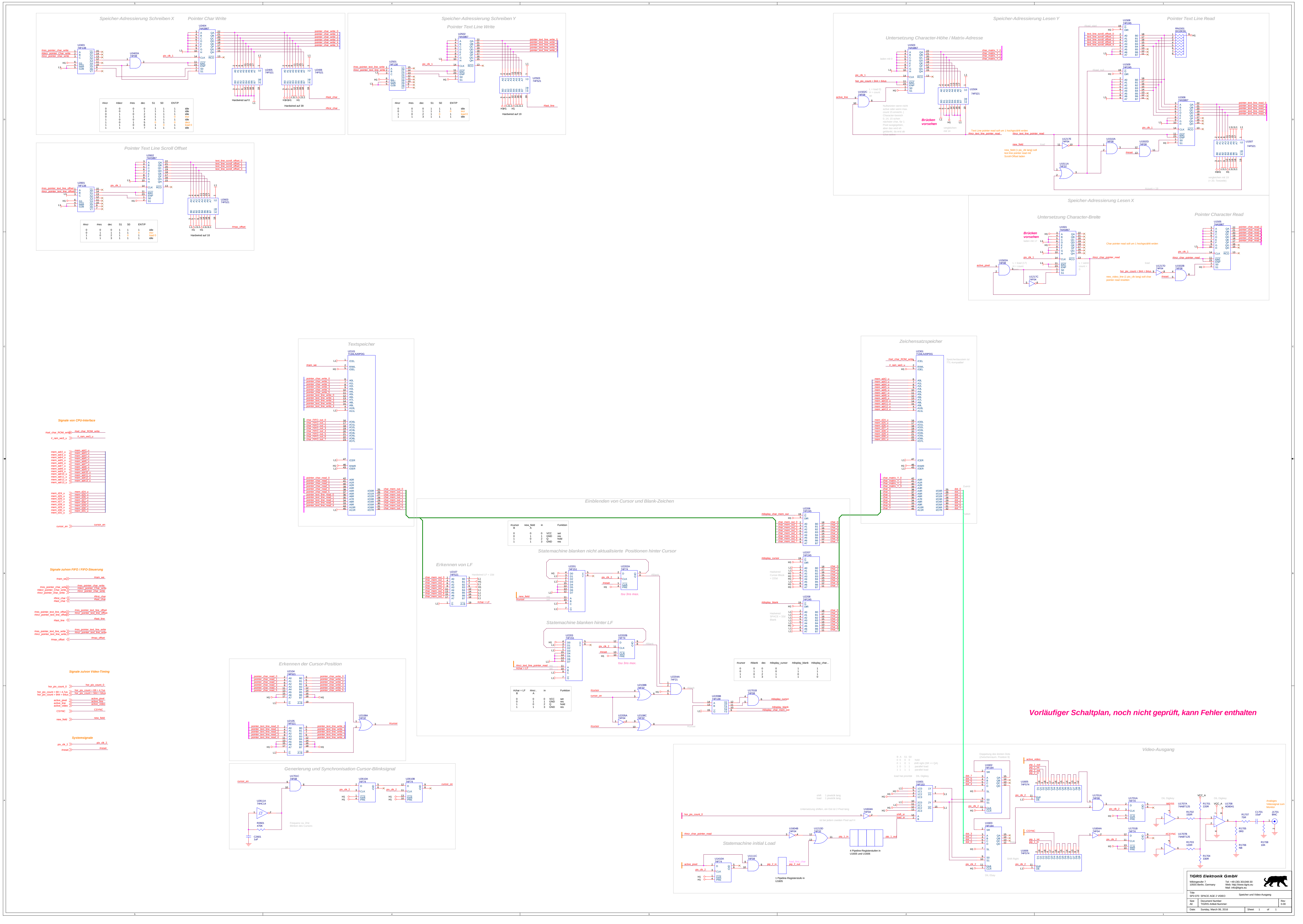
Systemsignale

pix_clk_1
/reset

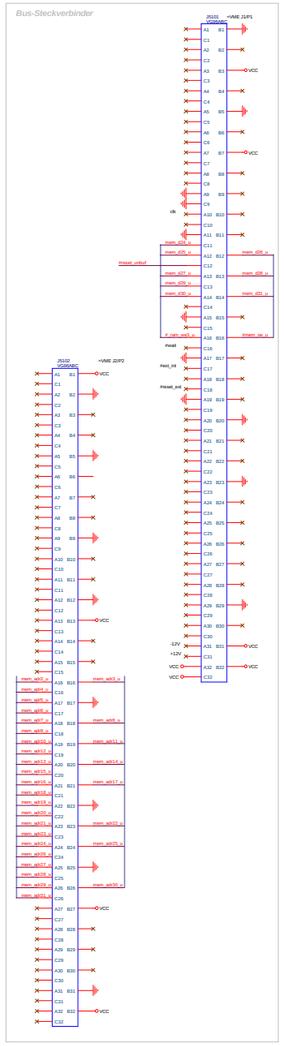
Vorläufiger Schaltplan, noch nicht geprüft, kann Fehler enthalten

TiGRIS Elektronik GmbH
Wiltingerallee 7
10553 Berlin, Germany
Tel: +49 (30) 3032648-30
Web: http://www.tigris.eu
Mail: info@tigris.eu

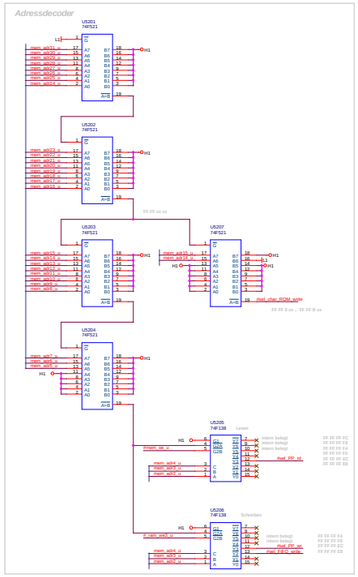
Title: SPS-070: SPACE AGE 2 VIDEO — Video-Timing
Size: A0 — Document Number: TiGRIS Artikel-Nummer — Rev: 0.00
Date: Sunday, March 06, 2016 — Sheet 1 of 1


Speicher-Adressierung Schreiben X
Pointer Char Write
Speicher-Adressierung Schreiben Y
Pointer Text Line Write
Pointer Text Line Scroll Offset
Speicher-Adressierung Lesen Y
Untersetzung Character-Höhe / Matrix-Adresse
Pointer Text Line Read
Speicher-Adressierung Lesen X
Untersetzung Character-Breite
Pointer Character Read
Brücken vorsehen
Textspeicher
Zeichensatzspeicher
Speicherbaustein ist TTL-kompatibel
Signale von CPU-Interface
Signale zu/von FIFO / FIFO-Steuerung
Signale zu/von Video-Timing
Systemsignale
Einblenden von Cursor und Blank-Zeichen
Erkennen von LF
Statemachine blanken nicht aktualisierte Positionen hinter Cursor
Statemachine blanken hinter LF
Erkennen der Cursor-Position
Generierung und Synchronisation Cursor-Blinksignal
Frequenz ca. 2Hz Blinken des Cursors
Video-Ausgang
Statemachine initial Load
4 Pipeline-Registerstufen in U1605 und U1606
1 Pipeline-Registerstufe in U1605
Analoges Videosignal zum Monitor
Vorläufiger Schaltplan, noch nicht geprüft, kann Fehler enthalten
TIGRIS Elektronik GmbH
Wikingerufer 7
10555 Berlin, Germany
Tel: +49 (30) 301048-30
Web: http://www.tigris.eu
Mail: info@tigris.eu
Title
SP2-070 SPACE AGE 2 VIDEO
Speicher und Video-Ausgang
Size A0
Document Number TIGRIS Artikel-Nummer:
Rev 0.00
Date: Sunday, March 06, 2016
Sheet 1 of 1

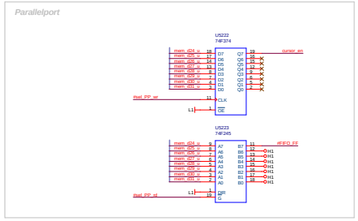
Bus-Steckverbinder



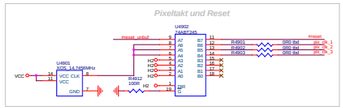
Adressdecoder



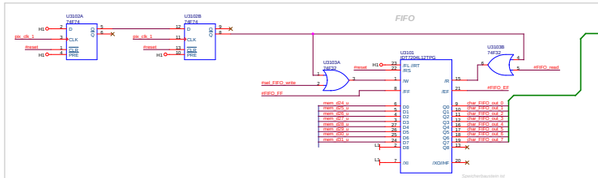
Parallelport



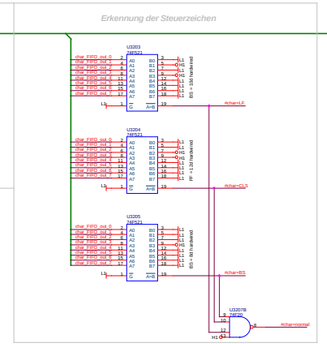
Pixeltakt und Reset



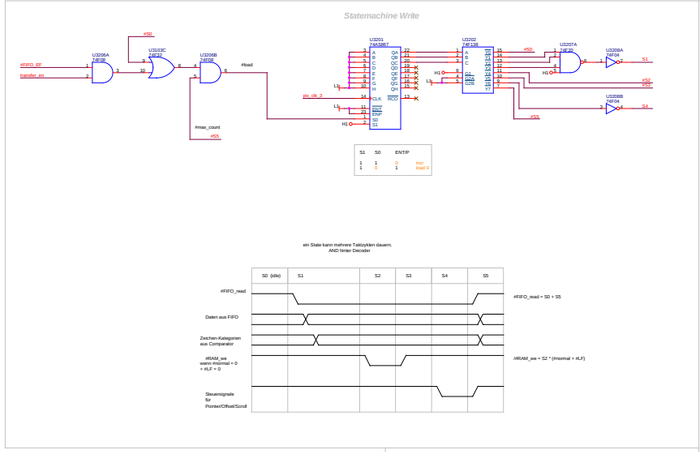
FIFO



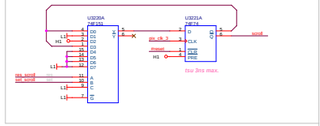
Erkennung der Steuerzeichen



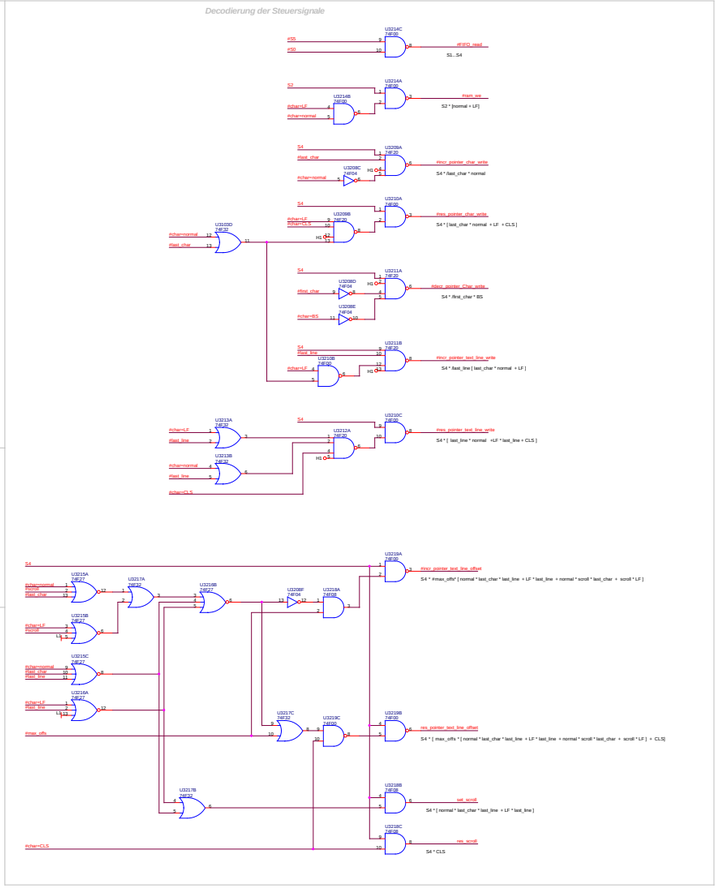
Statemachine Write



Statemachine Scroll



Decodierung der Steuersignale

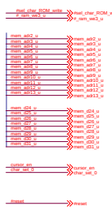


Signale zu/von Video-Timing



Signale zu/von Text- und Zeichensatzspeicher

Teilstränge CPU-Bus



Signale zu/von Text- und Zeichensatzspeicher

Teilstränge Pixeltakt

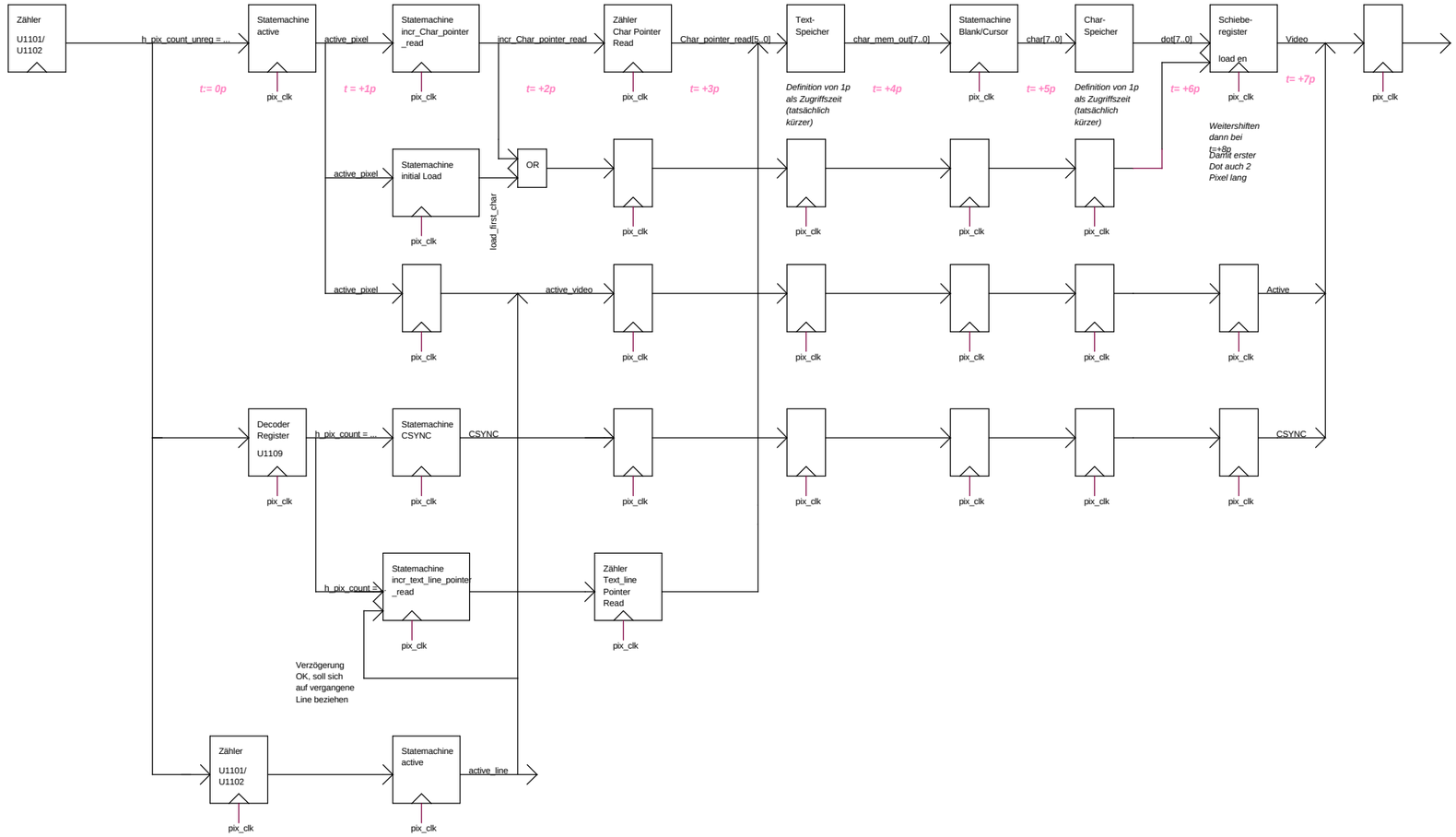


Vorläufiger Schaltplan, noch nicht geprüft, kann Fehler enthalten

TiGRIS Elektronik GmbH
Wilmgrader 7
10555 Berlin, Germany
Tel: +49 (30) 301048-30
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title	SPI-DITE SPACE AGE 2 VIDEO	Buskriterface, FIFO und Steuerung für Textspeicher
Size: A0	Document Number: TIGRIS Artikel-Nummer:	Rev: 0.00
Date: Sunday, March 06, 2016	Sheet: 1 of: 1	

Timing-Übersicht



Vorläufiger Schaltplan, noch nicht geprüft, kann Fehler enthalten

TIGRIS Elektronik GmbH

Wikingerufer 7
10555 Berlin, Germany

Tel: +49 (30) 301048-30
Web: http://www.tigris.eu
Mail: info@tigris.eu

Title: SP2-070 SPACE AGE 2 VIDEO — Timing-Übersicht		
Size: A2	Document Number: TIGRIS Artikel-Nummer:	Rev: 0.00
Date: Sunday, March 06, 2016	Sheet 1 of 1	